



Attorney Docket No.: 8038-1047

PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Naruhiko NAKANISHI  
Appl. No.: 10/691,584  
Filed: October 24, 2003  
For: METHOD FOR FORMING A CAPACITOR HAVING A  
HIGH-DIELECTRIC-CONSTANT INSULATION  
FILM

L E T T E R

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Date: November 25, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-309281	October 24, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By Benoît Castel  
Benoît Castel, #35,041

BC/psf

745 South 23<sup>rd</sup> Street, Suite 200  
Arlington, Virginia 22202  
(703) 521-2297

Attachment

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 2 4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 0 9 2 8 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 0 9 2 8 1 ]

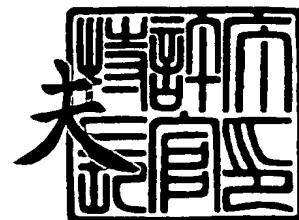
出 願 人                      エルピーダメモリ株式会社  
Applicant(s):

出  
(印)  
(公)  
印  
JPA

2 0 0 3 年 1 0 月 3 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310124

【提出日】 平成14年10月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/04

【発明の名称】 容量素子の製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社  
会社内

【氏名】 中西 成彦

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【電話番号】 03-5295-0851

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117862

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量素子の製造方法

【特許請求の範囲】

【請求項 1】 チタン酸ストロンチウム膜を容量絶縁膜として用いる容量素子の製造方法であって、

前記チタン酸ストロンチウム膜を成膜後、不活性雰囲気中で 500～650℃の範囲の温度で熱処理を行うことを特徴とする容量素子の製造方法。

【請求項 2】 チタン酸ストロンチウム膜を容量絶縁膜として用いる容量素子の製造方法において、

シリコン基板上に、容量素子の下部電極を形成する工程と、  
前記下部電極上にチタン酸ストロンチウム膜を形成する工程と、  
前記チタン酸ストロンチウム膜上に上部電極を形成する工程と、  
不活性雰囲気中で、500～650℃の範囲の温度で熱処理を行う工程とを有することを特徴とする容量素子の製造方法。

【請求項 3】 前記下部電極は、少なくともシリコン又は窒化チタンを含む積層膜から成る、請求項 2 に記載の容量素子の製造方法。

【請求項 4】 前記熱処理工程では、非晶質のチタン酸ストロンチウム膜を結晶化する、請求項 1～3 の何れか 1 項に記載の容量素子の製造方法。

【請求項 5】 前記不活性雰囲気は、アルゴン、ヘリウム及び窒素の何れかから選択されるガスを主成分として含有する、請求項 1～4 の何れか 1 項に記載の容量素子の製造方法。

【請求項 6】 前記熱処理工程が、ランプを利用した R T A (Rapid Thermal Annealing) 法により、15 秒～5 分間継続する、請求項 1～5 の何れか 1 項に記載の容量素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量素子の製造方法に関し、特に、多結晶の物質から成る下部電極上に、高い比誘電率を有するチタン酸ストロンチウム膜の形成が可能で、且つバ

リアメタル膜の酸化が抑制された容量素子の製造方法に関する。

#### 【0002】

##### 【従来の技術】

近年、DRAM (Dynamic Random Access Memory) 等の半導体装置では、高集積化の実現のために、各メモリセルのキャパシタの占有面積当たりの容量を増大させる要請がある。この要請に応え、容量素子の電極を立体化する方法が提案されて来た。しかし、容量素子の微細化に伴い、酸化膜や窒化膜等のような誘電膜では、容量素子の電極を立体化しても必要なキャパシタンスを得ることが難しくなっている。そこで、容量素子の容量絶縁膜として、例えばチタン酸ストロンチウムなどの高誘電体材料の採用が検討されている。

#### 【0003】

チタン酸ストロンチウムを高誘電体材料として用いるには、チタン酸ストロンチウムの結晶化が必要となるが、成膜によりこのような膜を得るには、高い成膜温度が必要となる。一方、容量素子が形成される半導体集積回路（エピタキシャル基板）は熱的に不安定である。このため、400℃以下の温度でチタン酸ストロンチウムを成膜した後、500℃以下の熱処理を行うことによって、チタン酸ストロンチウムを結晶化させ、半導体集積回路を高温状態に晒すことなく、高い比誘電率を得る製造方法が提案されている（例えば、特許文献1参照。）。

#### 【0004】

##### 【特許文献1】

特開平11-274415号公報（第4-5頁、第3-4図）

#### 【0005】

特許文献1に記載の製造方法では、まず、バリアメタル膜で被覆した基板の上に、Ti/Pt層から成る下部電極を形成する。次いで、下部電極上に堆積温度300℃で、チタン酸ストロンチウム膜を堆積する。堆積直後のチタン酸ストロンチウム膜が示す比誘電率は100程度である。続いて、不活性ガス又は酸化性ガスの雰囲気中で、450℃の温度で熱処理を行い、チタン酸ストロンチウム膜を結晶化させる。同文献の図4に示されるように、熱処理を5分以上行うことにより、チタン酸ストロンチウム膜は結晶化されて160程度の高い比誘電率を有す

る。続いて、このチタン酸ストロンチウム膜上に上部電極を形成する等の工程を経ることにより、容量素子を完成する。

#### 【0006】

##### 【発明が解決しようとする課題】

ところで、メモリセルが微細化された、1ギガビット以上のDRAMの容量素子では、その下部電極にRu(ルテニウム)などの多結晶の材料が用いられる。しかし、このように多結晶の下部電極上に堆積されたチタン酸ストロンチウム膜に対して、特許文献1に記載の500℃以下の温度で熱処理を行っても、温度が十分でないため、結晶化は進行せず、高い比誘電率を得ることができないという問題があった。

#### 【0007】

一方、このような容量素子では熱処理温度を上げると、雰囲気中の酸化性ガスにより、又はチタン酸ストロンチウム膜中の酸素の拡散により、バリアメタル膜が酸化されてしまうという問題が生じる。バリアメタル膜の酸化は、トランジスタとの導通不良を招き、或いは、導通不良に至らないまでも配線抵抗の上昇によって、等価的に容量素子の容量低下を招く。

#### 【0008】

本発明は、上記に鑑み、多結晶の物質から成る下部電極上に、高い比誘電率を有するチタン酸ストロンチウム膜の形成が可能で、且つバリアメタル膜の酸化が抑制された容量素子の製造方法を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の第1発明に係る容量素子の製造方法は、チタン酸ストロンチウム膜を容量絶縁膜として用いる容量素子の製造方法であって、

前記チタン酸ストロンチウム膜を成膜後、不活性雰囲気中で500～650℃の範囲の温度で熱処理を行うことを特徴とする。

#### 【0010】

熱処理温度を500～650℃の範囲とすることにより、堆積された非晶質の

チタン酸ストロンチウム膜を結晶化させることができ、高い誘電率が得られることによって、高い静電容量の容量素子が製造できる。不活性雰囲気中で熱処理を行うため、雰囲気に含まれるガスによるバリアメタル膜の酸化を抑制することができる。熱処理温度が500℃以下では、多結晶の下部電極上でチタン酸ストロンチウム膜の結晶化が遅く、高い誘電率の容量絶縁膜が得られない。また、熱処理温度が650℃以上となると、チタン酸ストロンチウム中の酸素の拡散によってバリアメタルが酸化され、トランジスタとの導通不良を招き、或いは、配線抵抗の上昇によって等価的に容量素子の容量低下を招き、高い静電容量が得られない。

#### 【0011】

また、本発明の第2発明に係る容量素子の製造方法は、チタン酸ストロンチウム膜を容量絶縁膜として用いる容量素子の製造方法において、

シリコン基板上に、容量素子の下部電極を形成する工程と、

前記下部電極上にチタン酸ストロンチウム膜を形成する工程と、

前記チタン酸ストロンチウム膜上に上部電極を形成する工程と、

不活性雰囲気中で、500～650℃の範囲の温度で熱処理を行う工程とを有することを特徴とする。本発明の第2発明は、上記本発明の第1発明と同様の効果を得ることができる。

#### 【0012】

ここで、前記下部電極は、少なくともシリコン又は窒化チタンを含む積層膜とすることができる。良好な素子特性を有する下部電極を有する容量素子が得られる。

#### 【0013】

前記熱処理工程は、非晶質のチタン酸ストロンチウム膜を結晶化する工程である。結晶化により高い比誘電率を有するチタン酸ストロンチウム膜を得ることができる。

#### 【0014】

前記不活性雰囲気は、アルゴン、ヘリウム及び窒素の何れかから選択されるガスを主成分として含有するのが好ましい。この場合、バリアメタル膜の酸化を良

好に抑制することができる。

#### 【0015】

また、前記熱処理工程が、ランプを利用した R T A (Rapid Thermal Annealing) 法により、15 秒～5 分間継続するのが好ましい。継続時間が 15 秒以下だと、結晶化が不完全となり、また、継続時間が 5 分以内では、各膜に対する影響を最小限に抑えることができる。

#### 【0016】

##### 【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて本発明を更に詳細に説明する。図 1 (a) ～ (c) は、本発明の第 1 実施形態例に係る容量素子の各製造工程段階を示す断面図である。

#### 【0017】

まず、図 1 (a) に示すように、半導体集積回路 11 上に順次に、ポリシリコン 12、TiN (窒化チタン) から成るバリアメタル膜 13、多結晶のルテニウムから成る下部電極 14 を形成する。次に、下部電極 14 上に非晶質のチタン酸ストロンチウム膜 15 a を堆積する。

#### 【0018】

続いて、図 1 (b) に示すように、500～650℃の温度範囲で、不活性ガスの雰囲気中で熱処理を行い、非結晶のチタン酸ストロンチウム膜 15 a を結晶化させ、単結晶のチタン酸ストロンチウム膜 15 を形成する。この結晶化により、チタン酸ストロンチウム膜 15 は高い比誘電率を有する誘電体となる。ここで、不活性ガスは、Ar、He などのハロゲンガスの他に、N<sub>2</sub>ガスなどのように、容量素子に対して実質的に反応を起こさず、不活性であるガスでもよい。続いて、図 1 (c) に示すように、チタン酸ストロンチウム膜 15 上に上部電極 16 を形成する等の工程を経ることにより、容量素子 10 を製造することができる。

#### 【0019】

本実施形態例では、500℃以上の熱処理によって、多結晶のルテニウムから成る下部電極 14 上で、非晶質のチタン酸ストロンチウム膜 15 a が結晶化され、高い比誘電率を有する単結晶のチタン酸ストロンチウム膜 15 を得ることがで



きる。また、この熱処理を不活性ガスの雰囲気中で行うことにより、従来のように雰囲気中からバリアメタル膜 13 に酸化性ガスが供給されることもなく、バリアメタル膜 13 の酸化を抑制することができる。更に、650℃以下の温度で熱処理を行うことにより、チタン酸ストロンチウム膜 15 中の酸素の拡散に起因する、バリアメタル膜 13 の酸化を抑制することができる。

#### 【0020】

図 1 (a) ~ (c) を参照し、本発明の第 2 実施形態例について説明する。本実施形態例の容量素子の製造方法は、ルテニウムから成る下部電極 14 を形成する工程までは、第 1 実施形態例と同様である。下部電極 14 を形成した後、図 1 (a) に示すように、下部電極 14 上に、化学気相成長法 (CVD 法) を用いて、420℃の温度で膜厚が約 20 nm の非晶質のチタン酸ストロンチウム膜 15 a を堆積する。

#### 【0021】

次いで、図 1 (b) に示すように、N<sub>2</sub>ガスの雰囲気中で 500 ~ 650℃の温度範囲で、RTA (Rapid Thermal Annealing) 法による熱処理を 1 分間行い、非晶質のチタン酸ストロンチウム膜 15 a を結晶化させ、単結晶のチタン酸ストロンチウム膜 15 を形成する。この結晶化により、チタン酸ストロンチウム膜 15 は高い比誘電率を有する誘電体となる。続いて、図 1 (c) に示すように、単結晶のチタン酸ストロンチウム膜 15 上に上部電極 16 を形成する等の工程を経ることにより、本実施形態例の容量素子を製造することができる。

#### 【0022】

本実施形態例では、500 ~ 650℃の温度範囲で熱処理を行うことにより、多結晶のルテニウムから成る下部電極 14 上で、非晶質のチタン酸ストロンチウム膜 15 a が結晶化され、高い比誘電率を有する単結晶のチタン酸ストロンチウム膜 15 を得ることができると共に、チタン酸ストロンチウム膜 15 中の酸素の拡散による、バリアメタル膜 13 の酸化を抑制することができる。また、この熱処理の際に、不活性ガスである N<sub>2</sub>ガスの雰囲気中で熱処理を行うことにより、バリアメタル膜 13 の酸化を抑制することができる。本実施形態例では、更に、熱処理に RTA 法を用い、熱処理を 1 分間程度の短時間で行うため、各膜に対す

る熱処理の影響を最小限に抑えることができる。

#### 【0023】

第1実施形態例及び第2実施形態例において、チタン酸ストロンチウム膜15aを堆積した後に熱処理を行うのに代えて、上部電極16の形成後に同様の熱処理を施しても、それぞれ同様の効果が得られる。

#### 【0024】

図2は、本実施形態例の製造方法で製造された容量素子における熱処理温度と、熱処理後のチタン酸ストロンチウム膜15の比誘電率との関係を示す。同図から理解できるように、熱処理温度が500℃以上になると、非晶質のチタン酸ストロンチウム膜15aの結晶化が進むことにより、比誘電率は130～170程度の高い値をとり、熱処理温度が650℃まで高い値を保つ。一方、熱処理温度が650℃を超えると、バリアメタル膜13を構成するTiNの酸化が進み、容量素子の容量が低下し、見かけ上の比誘電率は低くなる。

#### 【0025】

図3は、本実施形態例の製造方法で製造された容量素子における熱処理温度と、熱処理後のチタン酸ストロンチウム膜15のSiO<sub>2</sub>換算膜厚を示す。同図から理解できるように、熱処理温度が500～650℃の範囲で、SiO<sub>2</sub>換算膜厚は1nm以下という低い値となる。即ち、本実施形態例の製造方法によれば、1ギガビット以上のルテニウムを下部電極として用いるDRAMにも適用が可能で、SiO<sub>2</sub>換算膜厚が1nm以下という高い比誘電率を有する容量素子を得ることができる。

#### 【0026】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の容量素子の製造方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した容量素子の製造方法も、本発明の範囲に含まれる。

#### 【0027】

#### 【発明の効果】

以上説明したように、本発明の容量素子の製造方法によると、下部電極上に堆

積された非晶質チタン酸ストロンチウム膜に対して、500℃以上650℃以下の温度で、且つ不活性ガスの雰囲気中で、熱処理を行う。これにより下部電極上に成膜された非晶質のチタン酸ストロンチウムを結晶化させ、高い比誘電率を有するチタン酸ストロンチウム膜を得ることができると共に、バリアメタル膜の酸化を抑制することができる。

【図面の簡単な説明】

【図1】

(a)～(c)は、第1実施形態例及び第2実施形態例に係る容量素子の各製造工程段階を示す断面図である。

【図2】

第2実施形態例の容量素子の製造方法における熱処理温度と、熱処理後のチタン酸ストロンチウム膜の比誘電率との関係を示すグラフである。

【図3】

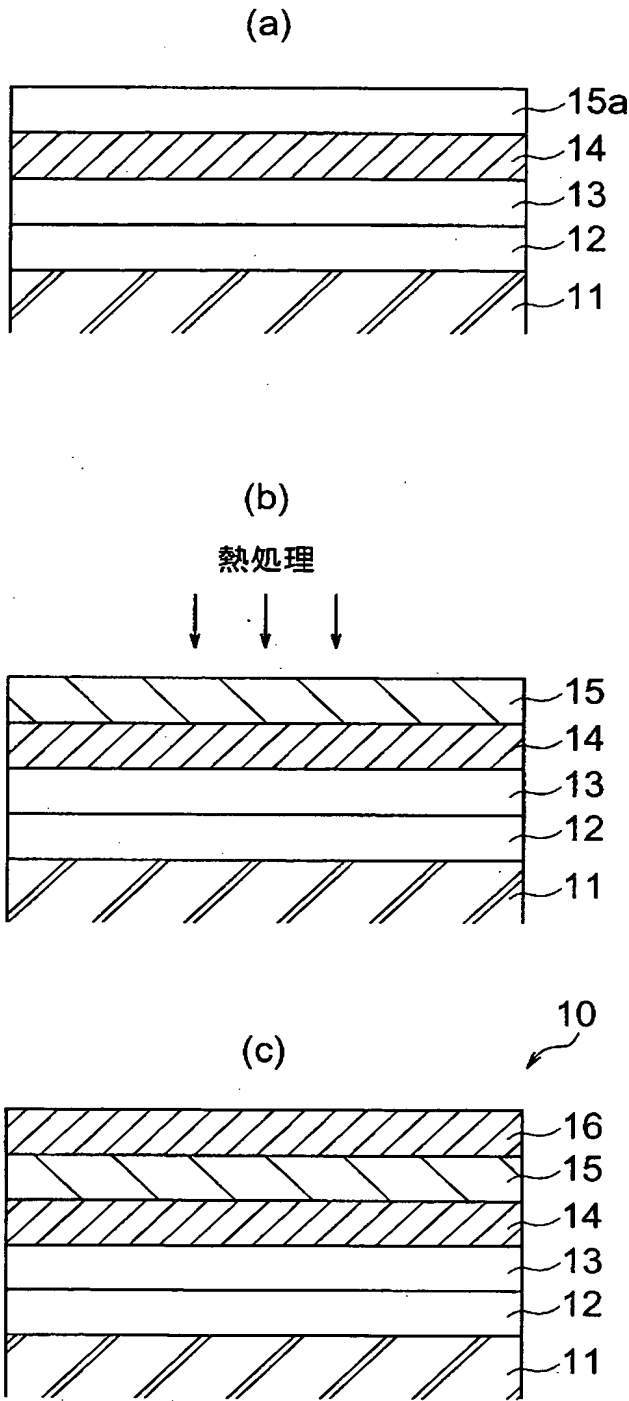
第2実施形態例の容量素子の製造方法における熱処理温度と、チタン酸ストロンチウム膜のSiO<sub>2</sub>換算膜厚との関係を示すグラフである。

【符号の説明】

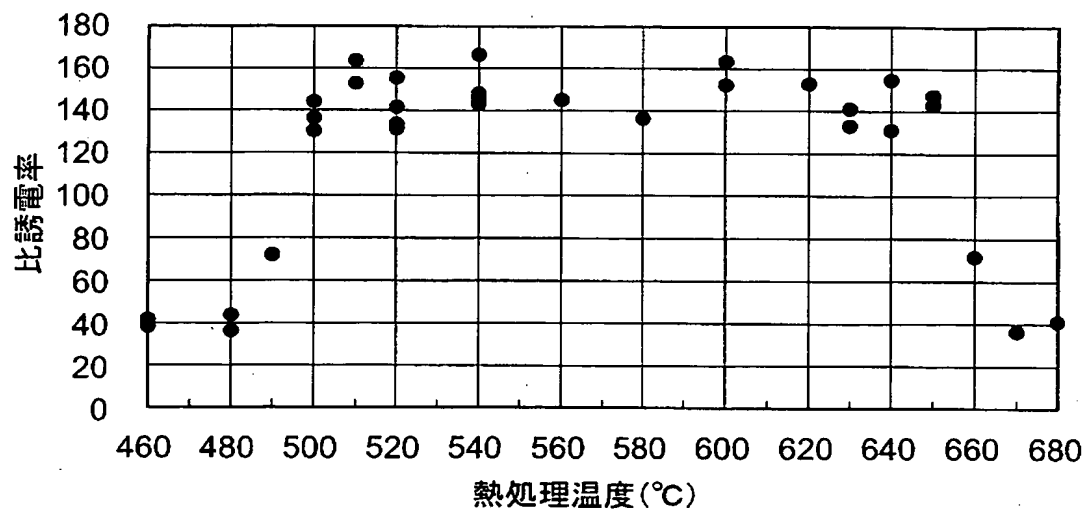
- 10：第1実施形態例の容量素子
- 11：半導体集積回路
- 12：ポリシリコン
- 13：バリアメタル膜
- 14：Ru（ルテニウム）から成る下部電極
- 15a：非晶質のチタン酸ストロンチウム膜
- 15：単結晶のチタン酸ストロンチウム膜
- 16：上部電極

【書類名】 図面

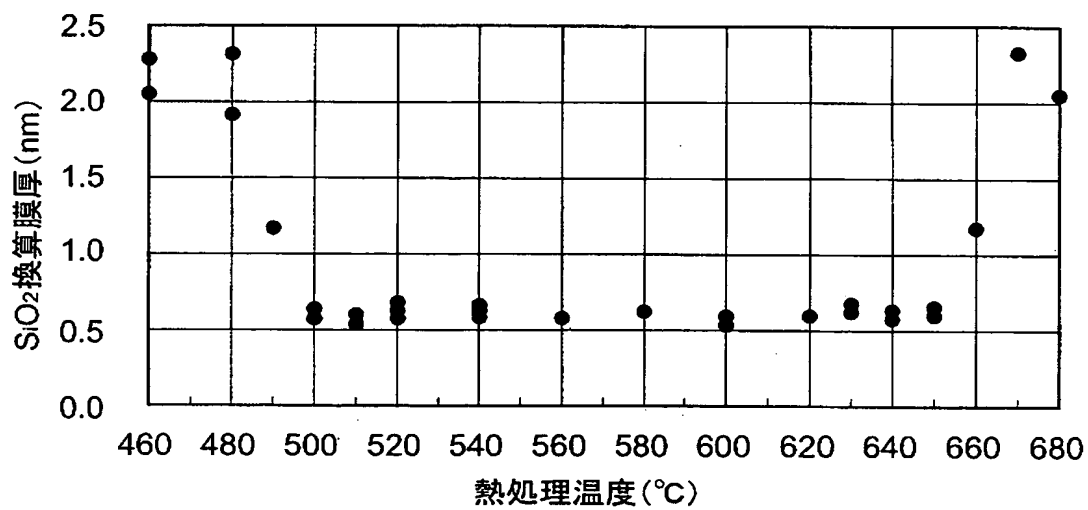
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 多結晶質の下部電極上に、高い比誘電率を有するチタン酸ストロンチウム膜の形成が可能で、且つバリアメタル膜の酸化が抑制された容量素子の製造方法を提供する。

【解決手段】 多結晶のRu（ルテニウム）から成る下部電極14上に、非結晶のチタン酸ストロンチウム膜15aを堆積し、500℃以上650℃以下の温度でのRTA熱処理によって、不活性ガスの雰囲気中で、チタン酸ストロンチウム膜15aを結晶化させる。

【選択図】 図1

特願 2 0 0 2 - 3 0 9 2 8 1

出 願 人 履 歴 情 報

識別番号

[ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社